

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

WOO JIN CHANG, ET AL.

Application No.:

Filed:

For: **waveguide structured package and  
method for fabricating the same**

Art Group:

Examiner:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Korea	10-2002-0064135	21 October 2002

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 10/21/03

  
Eric S. Hyman, Reg No. 30,139

12400 Wilshire Blvd., 7th Floor  
Los Angeles, California 90025  
Telephone: (310) 207-3800

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0064135  
Application Number

출원년월일 : 2002년 10월 21일  
Date of Application OCT 21, 2002

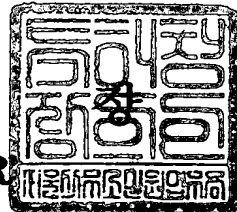
출원인 : 한국전자통신연구원  
Applicant(s) Electronics and Telecommunications Research Institute



2003    년    05    월    12    일

특    허    청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.10.21
【발명의 명칭】	도파관 구조의 패키지 및 그 제조 방법
【발명의 영문명칭】	Waveguide-structured package and method for fabricating the same
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	2001-032061-5
【발명자】	
【성명의 국문표기】	장우진
【성명의 영문표기】	CHANG,Woo Jin
【주민등록번호】	720220-1069223
【우편번호】	302-792
【주소】	대전광역시 서구 월평3동 황실아파트 112동 1402호
【국적】	KR
【발명자】	
【성명의 국문표기】	윤형섭
【성명의 영문표기】	Y00N,Hyung Sup
【주민등록번호】	570912-1149422
【우편번호】	305-721
【주소】	대전광역시 유성구 신성동 하나아파트 106-202
【국적】	KR
【발명자】	
【성명의 국문표기】	김해천
【성명의 영문표기】	KIM,Hea Cheon
【주민등록번호】	580805-1025717

【우편번호】	305-755
【주소】	대전광역시 유성구 어은동 한빛아파트 103-603
【국적】	KR
【발명자】	
【성명의 국문표기】	조경익
【성명의 영문표기】	CHO, Kyoung Ik
【주민등록번호】	550824-1037318
【우편번호】	305-333
【주소】	대전광역시 유성구 어은동 한빛아파트 119-1201
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	1 면 1,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	10 항 429,000 원
【합계】	459,000 원
【감면사유】	정부출연연구기관
【감면후 수수료】	229,500 원
【기술이전】	
【기술양도】	희망
【실시권 허여】	희망
【기술지도】	희망
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 도파관 구조의 패키지 및 그 제조방법에 관한 것으로, 반도체 칩 내에 프로브, 마이크로스트립-도파관 전이부 및 마이크로스트립 라인을 형성함으로써 도파관 구조의 패키지 제조시 본딩 와이어를 별도로 형성할 필요가 없어 본딩 와이어에 의한 기생성분의 발생을 최대한 억제하고, 제조공정에 소요되는 시간을 감소시켜 생산비용을 감소시킬 수 있는 도파관 구조의 패키지 및 그 제조방법을 개시한다.

**【대표도】**

도 2a

**【색인어】**

도파관, 패키지, 반도체 칩,

## 【명세서】

## 【발명의 명칭】

도파관 구조의 패키지 및 그 제조방법{Waveguide-structured package and method for fabricating the same}

## 【도면의 간단한 설명】

도 1a는 종래기술에 따른 도파관 구조의 패키지의 평면도이다.

도 1b는 도 1a에 도시된 도파관 구조의 패키지의 I-I'선에 따른 단면도이다.

도 2a는 본 발명의 바람직한 실시예에 따른 도파관 구조의 패키지의 평면도이다.

도 2b는 도 2a에 도시된 도파관 구조의 패키지의 II-II'선에 따른 단면도이다.

도 3은 도 2a 및 도 2b에 도시된 반도체 칩의 평면도이다.

도 4 내지 도 9는 도 2a 및 도 2b에 도시된 도파관 구조의 패키지의 제조방법을 설명하기 위하여 도시한 단면도들이다.

## 〈도면의 주요 부분에 대한 부호의 설명〉

100, 300 : 하단 하우징

110a 및 110b, 310a 및 310b : 도파관

120a 내지 120c, 320, 340 : 접착제

130, 350 : 반도체 칩

130a, 354a : 입력패드

130b, 130d, 354b, 354d : 접지패드

130c, 354c : DC 바이어스 패드

130e, 354e : 출력패드

140, 150 : PCB

160a 및 160b : 본딩 와이어

140a, 150a, 352a, 356a : 프로브

140b, 150b, 352b, 356b : 마이크로스트립-도파관 전이부

140c, 150c, 352c, 356c : 마이크로스트립 라인

330 : 더미 PCB

352 : 입력 스트립부

354 : 주회로부

356 : 출력 스트립부

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <25> 본 발명은 도파관 구조의 패키지 및 그 제조방법에 관한 것으로, 특히 도파관 구조의 패키지의 공정시간을 단축하여 생산비용을 절감하고, 반도체 칩의 입출력 정합의 저하 및 성능 저하를 개선시킬 수 있는 도파관 구조의 패키지 및 그 제조방법에 관한 것이다.
- <26> 일반적으로, 초고주파 대역에 사용되는 도파관 구조의 패키지는 도 1a 및 도 1b에 도시된 바와 같다. 도 1a는 종래기술에 따른 도파관 구조의 패키지의 평면도이고, 도 1b는 도 1a에 도시된 도파관 구조의 패키지의 I-I'선에 따른 단면도이다. 여기서, 도 1a는 상단 하우징을 제거한 상태의 하단 하우징만을 도시한 평면도이다.

<27> 도 1a 및 도 1b를 참조하면, 종래기술에 따른 도파관 구조의 패키지는 도파관들(110a 및 110b)이 형성된 하단 하우징(100)과 상단 하우징(200)이 서로 결합된 구조로 이루어진다. 하단 하우징(100)에는 접착제(120b)를 통해 반도체 칩(130)이 부착되고, 일부에는 반도체 칩(130)의 양측의 접착제들(120a 및 120c)을 통해 PCB들(Printed Circuit Board; 140 및 150)이 각각 부착된다. 반도체 칩(130)과 PCB들(140 및 150) 각각은 일정 거리만큼 서로 이격된다. 또한, 반도체 칩(130)과 PCB들(140 및 150) 각각은 본딩 와이어(bonding wire; 160a 및 160b)를 통해 서로 접속된다. 한편, 상단 하우징(200)은 하단 하우징(100)과 결합되며, 하단 하우징(100)에 부착된 반도체 칩(130)과 PCB들(140 및 150)을 보호하는 덮개로 기능한다.

<28> 상기에서 설명한 종래기술에 따른 도파관 구조의 패키지에서의 RF(Radio Frequency) 신호의 흐름은 다음과 같다.

<29> 우선, RF 신호는 하단 하우징(100)의 좌측에 형성된 도파관(110a)으로 입력된다. 입력된 RF 신호는 PCB(140)에 형성된 프로브(probe; 140a)로 전달되고, 마이크로스트립-도파관 전이부(microstrip-to-waveguide transition part; 140b)를 통해 마이크로스트립 라인(140c)으로 전달된다. 그런 다음, RF 신호는 본딩 와이어(160a)를 통해 반도체 칩(130) 내에 형성된 입력패드(130a)로 입력되고, 반도체 칩(130)의 내부의 주회로(미도시)를 경유하여 출력패드(130e)를 통해 본딩 와이어(160b)로 출력된다. 그런 다음, RF 신호는 본딩 와이어(160b)를 통해 PCB(150)에 배치된 마이크로스트립 라인(150c), 마이크로스트립-도파관 전이부(150b) 및 프로브(150a)를 순차적으로 경유하여 우측에 형성된 도파관(110b)을 통해 외부로 출력된다.



<30> 그러나, 종래기술에 따른 도파관 구조의 패키지의 경우에는 반도체 칩(130)과 PCB들(140 및 150)을 각각 접속하는 본딩 와이어(160a 및 160b)에 의한 기생성분에 의해 반도체 칩(130)의 입출력 정합이 저하되며, 이로 인해 패키지 제조공정후 소자의 성능이 저하되는 문제가 발생한다. 또한, 패키지 제조과정에서, 본딩 와이어(160a 및 160b)의 길이가 조금씩 달라질 수 있기 때문에 기생성분을 정확히 예측하기 어려우며, 이로 인해, 생산율(yield)의 저하가 발생하여 생산비용을 증가시키는 원인이 된다.

**【발명이 이루고자 하는 기술적 과제】**

<31> 따라서, 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출된 것으로서, 도파관 구조의 패키지의 공정시간을 단축하여 생산비용을 절감하는데 그 목적이 있다.

<32> 또한, 본 발명은 반도체 칩의 입출력 정합의 저하 및 성능 저하를 개선시키는데 다른 목적이 있다.

<33> 또한, 본 발명은 생산율의 저하를 방지하여 생산비용을 감소시키는데 또 다른 목적이 있다.

<34> 또한, 본 발명은 도파관 구조의 패키지의 크기를 감소시켜 생산비용을 절감하는데 또 다른 목적이 있다.

**【발명의 구성 및 작용】**

<35> 본 발명의 일측면에 따르면, 상단 하우징과, RF 신호가 입출력되는 도파관 및 상기 도파관 사이에 위치되는 중앙부의 상단에 탑재된 반도체 칩을 포함하는 하단 하우징을 포함하되, 상기 반도체 칩은 상기 도파관을 통해 입출력되는 RF 신호를 전송하는 입력

스트립부 및 출력 스트립부를 포함하고, 상기 상단 하우징과 상기 하단 하우징은 서로 대응되도록 결합된 도파관 구조의 패키지를 제공한다.

<36> 본 발명의 다른 측면에 따르면, 일부에 적어도 2개의 홈을 갖는 상단 하우징을 완성하는 단계와, 상기 홈과 대응되도록 도파관을 형성하고, 상기 도파관 사이에 위치되는 중앙부의 상단에 상기 도파관을 통해 입출력되는 RF 신호를 전송하는 입력 스트립부 및 출력 스트립부가 형성된 반도체 칩을 탑재시켜 하단 하우징을 완성하는 단계와, 상기 상단 하우징과 상기 하단 하우징을 서로 대응되도록 서로 결합시키는 단계를 포함하는 도파관 구조의 패키지 제조방법을 제공한다.

<37> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

<38> 도 2a는 본 발명의 바람직한 실시예에 따른 도파관 구조의 패키지의 평면도이고, 도 2b는 도 2a에 도시된 도파관 구조의 패키지의 II-II'선에 따른 단면도이다. 여기서, 도 2a는 상단 하우징을 제거한 상태의 하단 하우징만을 도시한 평면도이다.

<39> 도 2a 및 도 2b를 참조하면, 본 발명의 바람직한 실시예에 따른 도파관 구조의 패키지는 하단 하우징(300)과 상단 하우징(400)이 서로 대응되게 결합된 구조로 이루어진다.

<40> 하단 하우징(300)에는 RF 신호가 입출력되는 도파관들(310a 및 310b)이 형성된다. 또한, 도파관들(310a 및 310b) 사이에 위치한 하단 하우징(300)의 중앙부의 상단에는 반

도체 칩(350)이 탑재된다. 또한, 반도체 칩(350)과 하단 하우징(300) 사이에는 외부 충격시 반도체 칩(350)과 하단 하우징(300)의 깨짐을 방지하기 위하여 더미(dummy) PCB(330)가 위치된다. 또한, 더미 PCB(330)의 하부는 접착제(320)에 의해 하단 하우징(300)의 중앙부의 상단에 부착되고, 상부는 접착제(340)에 의해 반도체 칩(350)의 하부에 부착된다. 한편, 더미 PCB(330)의 소정 부위에는 반도체 칩(350)의 접지가 하단 하우징(300)과 접속되도록 다수의 비아홀(via hole)이 형성된다.

<41> 도 3에 도시된 바와 같이, 반도체 칩(350)은 입력 마이크로스트립부(이하, '입력 스트립부'라 함)(352), 주회로부(354) 및 출력 마이크로스트립부(이하, '출력 스트립부'라 함)(356)를 포함한다. 입력 스트립부(352)는 프로브(352a), 마이크로스트립-도파관 전이부(352b) 및 마이크로스트립 라인(352c)을 포함한다. 출력 스트립부(356)는 입력 스트립부(352)와 동일하게 프로브(356a), 마이크로스트립-도파관 전이부(356b) 및 마이크로스트립 라인(356c)을 포함한다. 주회로부(354)는 입력 스트립부(350)로부터 전송된 RF 신호가 입력되는 입력패드(354a), RF 접지를 위한 접지패드들(354b 및 354d), 반도체 칩(350)을 동작시키기 위한 DC 바이어스 패드들(354c) 및 출력패드(354e)를 포함한다. 이 외, 주회로부(354)는 소정의 회로(미도시)를 포함한다. 이 회로는 반도체 칩의 용도와 회로의 설계방법에 따라 다르게 설계될 수 있다. 여기서, 입력패드(354a)와 접지패드들(354b) 또는 출력패드(354e)와 접지패드들(354d)은 GSG(Ground Signal Ground) 구조로 이루어지며, 반도체 칩(350)을 제조할 때, GSG 구조의 패드로 제조하여 DC 접지와 공통으로 사용한다.

<42> 본 발명의 바람직한 실시예에 따른 도파관 구조의 패키지에서의 RF 신호의 흐름은 다음과 같다.

- <43> 우선, RF 신호는 하단 하우징(300)의 좌측에 형성된 도파관(310a)으로 입력된다. 입력된 RF 신호는 반도체 칩(350) 내에 형성된 입력 스트립부(352)의 프로브(352a)로 전달되고, 마이크로스트립-도파관 전이부(352b)를 통해 마이크로스트립 라인(352c)으로 전달된다. 그런 다음, RF 신호는 반도체 칩(350) 내에 형성된 주회로부(354)의 입력패드(354a)로 입력되고, 회로를 경유하여 출력패드(354e)를 통해 반도체 칩(350) 내에 형성된 출력 스트립부(356)로 출력된다. 그런 다음, RF 신호는 출력 스트립부(356)의 마이크로스트립 라인(356c), 마이크로스트립-도파관 전이부(356b) 및 프로브(356a)를 순차적으로 경유하여 우측에 형성된 도파관(310b)을 통해 외부로 출력된다.
- <44> 상기에서 설명한 본 발명의 바람직한 실시예에 따른 도파관 구조의 패키지의 제조 방법을 도 4 내지 도 9를 참조하여 설명하기로 한다. 여기서, 도 2a 및 도 2b, 도 3에서 도시된 도면에서와 동일한 참조부호는 동일한 기능을 하는 동일한 부재를 가리킨다.
- <45> 도 4를 참조하면, 일정 부위에 도파관들(310a 및 310b)이 형성된 하단 하우징(300)을 제공한다. 이때, 하단 하우징(300)은 반도체 칩(도 2a의 '350'참조)의 접지패드부들(354b 및 354d)을 접지시키기 위하여 도전성 금속으로 형성한다. 한편, 도파관들(310a 및 310b)은 RF 신호가 입출력되는 통로로서, 직사각형 구조로 형성되며, 그 크기는 RF 신호의 주파수에 따라 결정된다. 예컨대, 주파수가 올라갈수록 크기는 작아진다.
- <46> 도 5를 참조하면, 도파관들(310a 및 310b) 간에 위치하는 하단 하우징(300)의 중앙부의 상단에 접착제(320)를 바른다. 접착제(320)로는 가열을 통해 접착시키기 위하여 비교적 용해점이 낮은 접착재료를 사용하는 것이 바람직하다. 예컨대, Ag 에폭시(epoxy), AuSn, BiSn, 은납땜(silver brazing) 및 유리땜 중 어느 하나를 적절히 선택하여 사용한다.

<47> 도 6을 참조하면, 접착제(320) 상부에 더미 PCB(330)를 부착시킨다. 더미 PCB(330)는 외부 충격시 반도체 칩(350)과 하단 하우징(300)의 충돌에 의한 반도체 칩(350) 또는 하단 하우징(300)의 깨짐을 방지하는 기능을 한다. 즉, 더미 PCB(330)는 반도체 칩(350)과 하단 하우징(300) 간에 발생하는 충격을 완충하는 기능을 하게 된다. 한편, 더미 PCB(330)의 소정 부위, 예컨대, 반도체 칩(350)의 접지패드들(354b 및 354d)과 대응되는 부위 또는 후면 접지처리를 위해 공정을 한 반도체 칩(350)의 후면이 접지면이므로 임의 부위에는 반도체 칩(350)을 하단 하우징(300)을 통해 접지시키기 위하여 상단과 하단이 관통되는 다수의 비아홀이 형성되어 있다.

<48> 도 7을 참조하면, 더미 PCB(330) 상부에 접착제(340)를 바른다. 접착제(340)로는 하단 하우징(300)의 중앙부의 상단에 위치되는 접착제(320)와 동일한 접착재료를 사용한다. 예컨대, Ag 에폭시(epoxy), AuSn, BiSn, 은납땜(silver brazing) 및 유리땜 중 어느 하나를 적절히 선택하여 사용한다.

<49> 도 8을 참조하면, 접착제(340) 상에 반도체 칩(350)을 위치시킨 후 열처리공정을 통해 반도체 칩(350)을 부착시킨다. 반도체 칩(350) 내에는 도 3에 도시된 바와 같이 입력 스트립부(352), 주회로부(354) 및 출력 스트립부(356)가 형성되어 있다. 이때, 입력 스트립부(352)의 마이크로스트립 라인(352c)과 주회로부(354)의 입력패드(354a) 또는 출력 스트립부(356)의 마이크로스트립 라인(356c)과 주회로부(354)의 출력패드(354e)는 RF 신호를 전송하기 위하여 전기적으로 접속된다.

<50> 도 9를 참조하면, 하단 하우징(300)과 동일한 도전성 금속으로 이루어진 상단 하우징(400)을 하단 하우징(300)과 대응되도록 결합시켜 도파관 구조의 패키지를 완성한다. 이때, 하단 하우징(300)과 상단 하우징(400)은 소정의 접착재료 또는 나사와 같은 부착

재료에 의해 결합된다. 한편, 상단 하우징(400)에는 하단 하우징(300)의 도파관들(310a 및 310b)과 대응되는 부위에 도파관들(310a 및 310b)의 크기와 동일한 홈(미도시)이 형성된다.

- <51>       상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예들은 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 【발명의 효과】

- <52>       이상 설명한 바와 같이, 본 발명에서는 반도체 칩 내에 프로브, 마이크로스트립-도파관 전이부 및 마이크로스트립 라인을 형성함으로써 도파관 구조의 패키지 제조시 본딩 와이어를 별도로 형성할 필요가 없어 본딩 와이어에 의한 기생성분의 발생을 억제할 수 있다.
- <53>       또한, 본 발명에서는 본딩 와이어를 별도로 형성할 필요가 없기 때문에 종래기술의 본딩 와이어 제조공정을 생략할 수 있다. 이에 따라, 종래기술에 비해 제조공정에 소요되는 시간을 감소시킬 수 있으며, 이에 따른 생산비용 또한 감소시킬 수 있다.
- <54>       또한, 본 발명에서는 본딩 와이어를 제거함으로써 종래기술에서 필수불가결하게 발생하는 본딩 와이어의 기생성분으로 인한 반도체 칩의 입출력 정합 및 성능 저하를 해결할 수 있다. 즉, 본딩 와이어를 제거함으로써 반도체 칩이 독립적으로 가지고 있는 입출력 정합 및 성능을 그대로 유지할 수 있다.

<55> 또한, 본 발명에서는 종래기술에서 필수불가결한 프로브, 마이크로스트립-도파관 전이부 및 마이크로스트립 라인이 형성된 PCB가 필요하지 않기 때문에 본딩 와이어가 차지한 마이크로스트립 라인의 길이를 줄일 수 있어 도파관 구조의 패키지 크기를 줄일 수 있으며, 이에 따라, 도파관 구조의 패키지의 크기를 감소시켜 경량화, 저가격화 및 생산율의 증가를 가져올 수 있다.

<56> 또한, 본 발명에서는 마이크로스트립-도파관 전이부를 반도체 칩 내에 형성함으로써 종래기술에서 PCB에 패터닝하여 형성하는 것보다 더욱 정밀한 패턴으로 형성할 수 있다.

**【특허청구범위】****【청구항 1】**

상단 하우징; 및

RF 신호가 입출력되는 도파관 및 상기 도파관 사이에 위치되는 중앙부의 상단에 탑재된 반도체 칩을 포함하는 하단 하우징을 포함하되,

상기 반도체 칩은 상기 도파관을 통해 입출력되는 RF 신호를 전송하는 입력 스트립부 및 출력 스트립부를 포함하고,

상기 상단 하우징과 상기 하단 하우징은 서로 대응되도록 결합된 것을 특징으로 하는 도파관 구조의 패키지.

**【청구항 2】**

제 1 항에 있어서,

상기 반도체 칩과 상기 하단 하우징 사이에 더미 PCB를 더 포함하는 것을 특징으로 하는 도파관 구조의 패키지.

**【청구항 3】**

제 2 항에 있어서,

상기 더미 PCB는 상부가 상기 반도체 칩과 부착되고, 하부가 상기 하단 하우징과 부착된 것을 특징으로 하는 도파관 구조의 패키지.

**【청구항 4】**

제 2 항에 있어서,



상기 더미 PCB는 다수의 비아홀을 포함하는 것을 특징으로 하는 도파관 구조의 패키지.

**【청구항 5】**

제 1 항에 있어서, 상기 입력 스트립부는,

상기 도파관을 통해 입력되는 RF 신호를 입력받는 프로브;

상기 프로브로 입력되는 RF 신호를 전송하는 마이크로스트립-도파관 전이부; 및

상기 마이크로스트립-도파관 전이부로 전송된 RF 신호를 상기 반도체 칩 내에 구성된 주회로부의 입력패드로 출력하는 마이크로스트립 라인을 포함하는 것을 특징으로 하는 도파관 구조의 패키지.

**【청구항 6】**

제 5 항에 있어서,

상기 마이크로스트립 라인과 상기 입력패드는 서로 전기적으로 접속된 것을 특징으로 하는 도파관 구조의 패키지.

**【청구항 7】**

제 1 항에 있어서, 상기 출력 스트립부는,

상기 반도체 칩 내에 구성된 주회로부의 출력패드를 통해 출력된 RF 신호를 입력받는 프로브;

상기 프로브로 입력되는 RF 신호를 전송하는 마이크로스트립-도파관 전이부; 및

상기 마이크로스트립-도파관 전이부로 전송된 RF 신호를 상기 도파관을 통해 외부로 출력하는 마이크로스트립 라인을 포함하는 것을 특징으로 하는 도파관 구조의 패키지.

**【청구항 8】**

제 7 항에 있어서,

상기 프로브와 상기 출력패드는 서로 전기적으로 접속된 것을 특징으로 하는 도파관 구조의 패키지.

**【청구항 9】**

(a) 일부에 적어도 2개의 홈을 갖는 상단 하우징을 완성하는 단계;

(b) 상기 홈과 대응되도록 도파관을 형성하고, 상기 도파관 사이에 위치되는 중앙부의 상단에 상기 도파관을 통해 입출력되는 RF 신호를 전송하는 입력 스트립부 및 출력 스트립부가 형성된 반도체 칩을 탑재시켜 하단 하우징을 완성하는 단계; 및

(c) 상기 상단 하우징과 상기 하단 하우징을 서로 대응되도록 서로 결합시키는 단계를 포함하는 것을 특징으로 하는 도파관 구조의 패키지 제조방법.

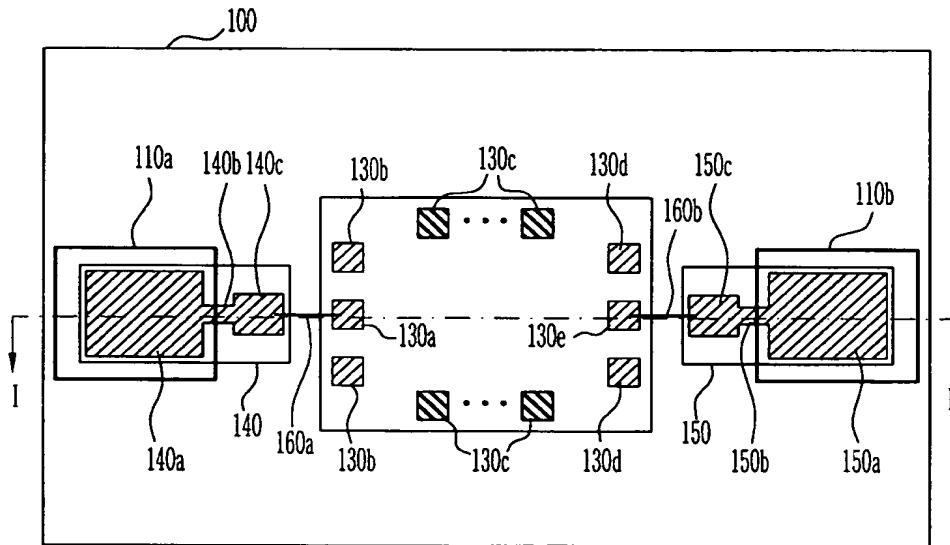
**【청구항 10】**

제 9 항에 있어서,

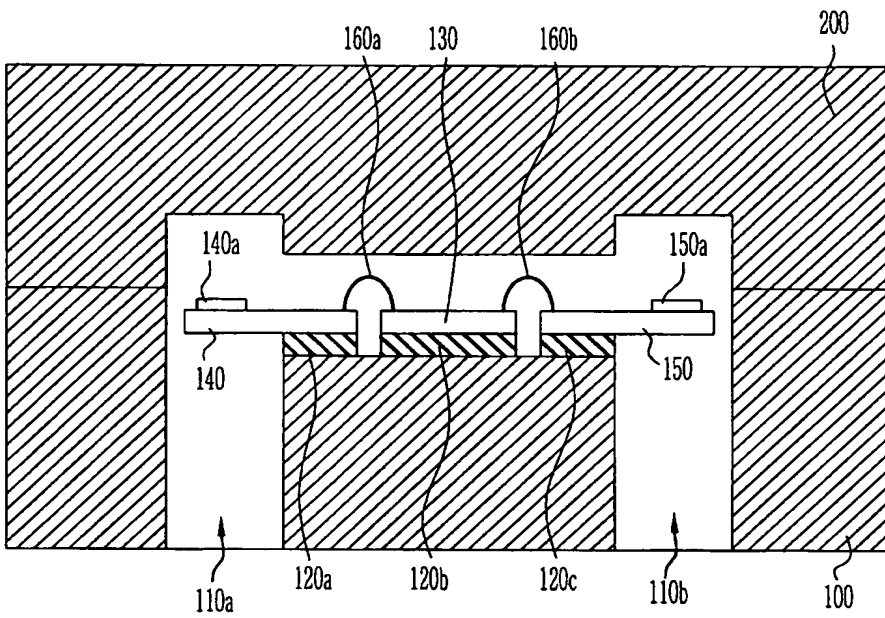
상기 반도체 칩과 상기 하단 하우징 간에 접착제를 이용하여 더미 PCB가 부착되는 것을 특징으로 하는 도파관 구조의 패키지 제조방법.

【도면】

【도 1a】

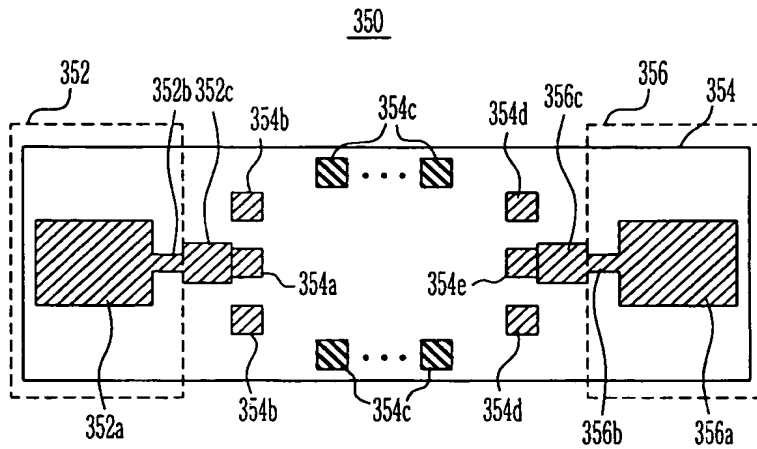


【도 1b】

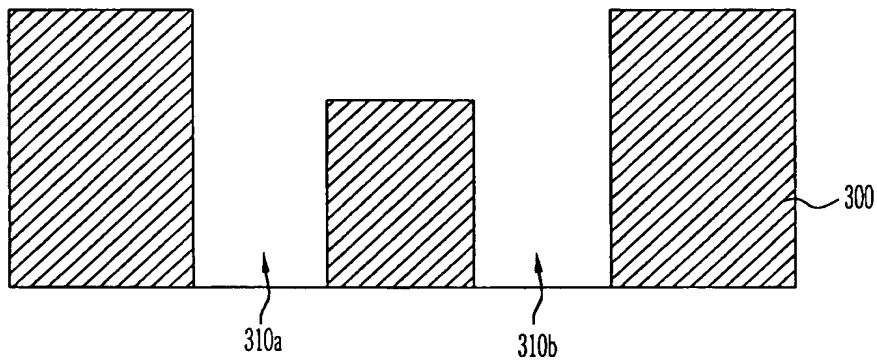




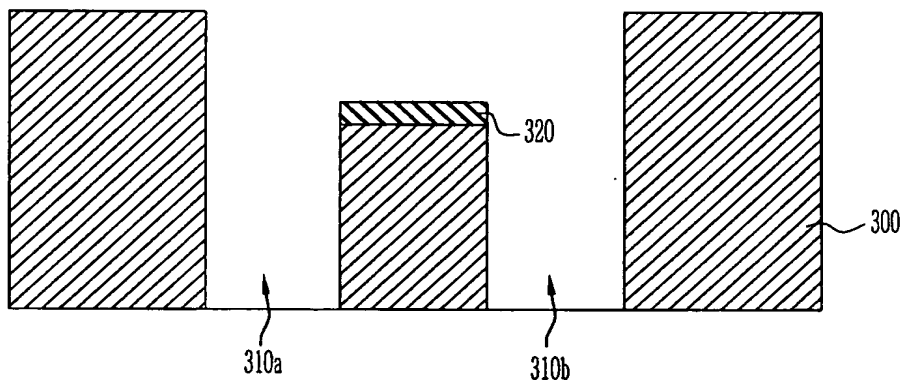
【도 3】



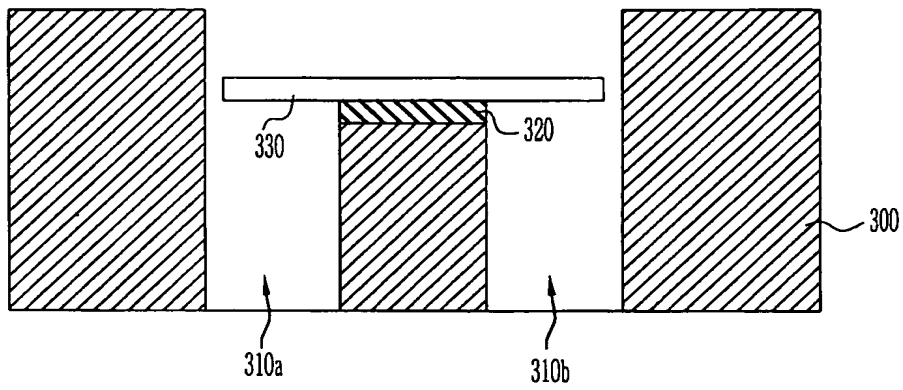
【도 4】



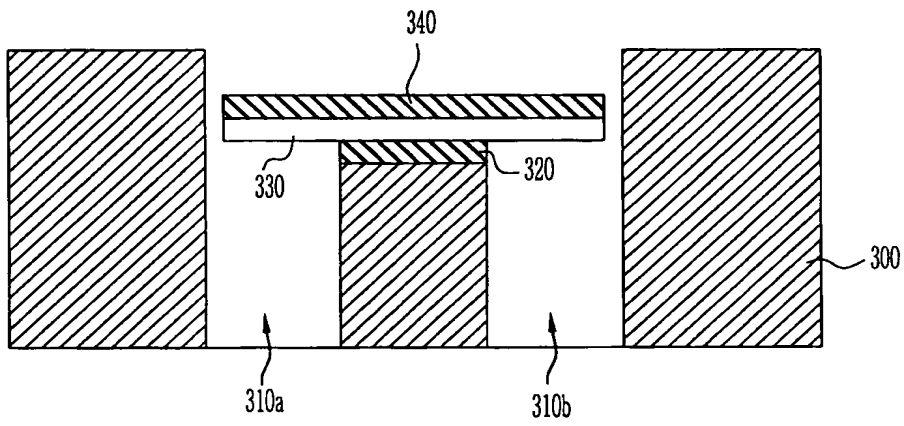
【도 5】



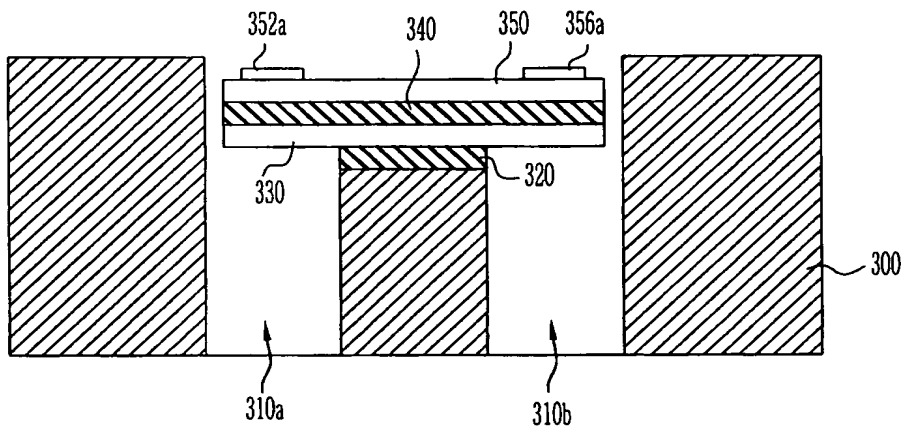
【도 6】



【도 7】



【도 8】





【도 9】

